

◆ feature

テスト/計測

光VLSIテスト・システムに向けた 光配線基板

井上 豊人

アドバンテストは、昨年9月、「最大160Gbpsの伝送容量を可能にする光配線基板技術を開発」したと発表した。狙いは、同社の半導体テスト・システムへの組み込み。実用化のターゲットデータは、発表時で「3年後」とされていた。

アドバンテストがボード間、ボード内に光インターコネクションを持ち込む背景には、MPUの高速/高密度化が進んでいるとの認識がある。同社は、「将来的に、10Gbpsを超える高速伝送レートで、かつ数十～数百という多チャンネルの半導体が情報機器に搭載される」と予想している。

一般に、テストシステムはテスト対象となるDUT (Device Under Test)に先行して製品化されている必要がある。これから考える、アドバンテストの言う「3年後の実用化」が2011年を指すとすれば、「10Gbpsを超える伝送レ

ットを持つ数百チャンネルの半導体」が市場に登場するのは、早くも2012年ごろと見てよいことになる。

ここに言う「数百チャンネル半導体」を、アドバンテストは「光I/Oを持つVLSI(大規模集積回路)」と捉えている。同社によると、MPUのパフォーマンス向上に伴い、プリント基板の電気伝送の限界に直面する。それが20Gbps。この限界を超えるために、光I/Oを集積したVLSIが登場すると見る。では、この光VLSIをテストするテスト装置に何が求められるか。アドバンテスト研究所常務取締役、仁木尚治氏は「テストシステムで

は、同時に何個もテストする必要があるので、容量的にはテラビット級の伝送容量が必要になる」と見ている。

「一つのチップをテストするのに40 Gbps/ch × 24ch、1Tbpsが必要になる。10Gbpsでは足りない。高速テストになるとプリント基板だけで10Gbpsの電気信号を通す。電装容量を高くするためには、その上を行かないとメリットがない。」

同氏によると、現状はトランシーバの域を超えないようなシリコンフォトニクスを利用した光インタフェースが、いずれはVLSIやMPUに集積されるようになり、光I/Oを持つ「光VLSI」が実現する。

光/電気混載基板

アドバンテストのメモリ・テスト・システムのテストヘッド-メインフレーム間では、すでに架間を光で接続する光インターコネクションが用いられている。並列伝送を適用し、約3000信号の多チャンネルデータが光で伝送されている。次の世代では、テストヘッドのボード内で光インターコネクションが必要になる(図1)。

このボード上には、電子部品や電気の配線が高密度集積されており、回路は複雑。実装密度を上げようとするれば、新しいデザインの光電気混載基板(光配線基板)が必要になる。アドバンテストが**先端フォトニクス**と共同開発したのは、多層基板内部に高速伝送が可能な光導波路を形成した光配線基板(図2)。

アドバンテスト研究所の増田伸氏に

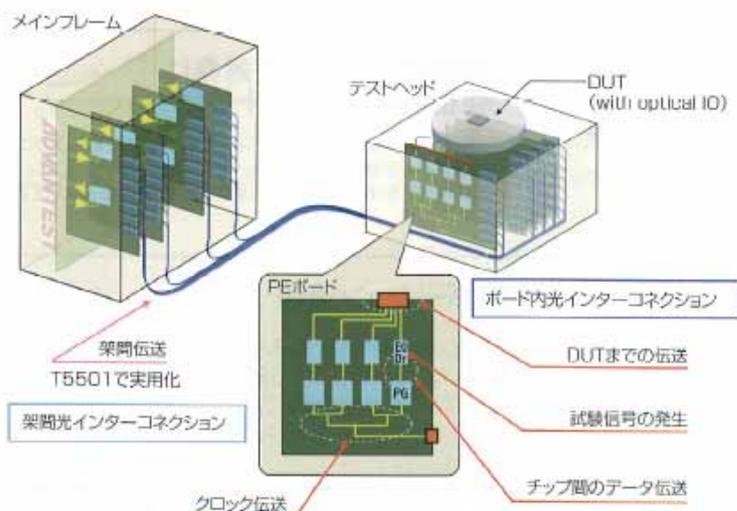


図1 光VLSIテストでは、ボード内にも光インターコネクションを適用。試験信号を発生させるPE (Pin Electronic Board)では、高速/高タイミング精度の信号を電気発生させて、それを光に変換する。信号発生器 (EO Dr.)からの40Gbpsの光テスト信号が基板内を通り、ボードエッジからパフォーマンスボード(PB)上のDUTへと伝送される。



図2 光配線基板の断面写真。導波路は50×50 μm 。10層FR4基板の4層目に形成。

よると、試作した基板は10層になっており、その4層目に光導波路が埋め込まれている。基板の作製は、プリント基板作製と同じプロセス。ただし、光導波路の層は、半導体技術を用いて別に作製し、多層基板作製と同じようにラミネートする。試作ボードのサイズは、300×250mm。

「通常、埋め込みではなく、表面に導波路を形成するケースが多いが、電子回路との共存を考えると、光導波路を表面に置いたのではチップ実装を制限することになる。できるだけ電気の実装を制限しないように光配線を形成するというコンセプトで試作した」(増田氏)。

共同開発のパートナー企業である先端フォトニクスは、光導波路も光電変換モジュールも基板に埋め込むことで「光信号をLSIの直近まで届ける」実装形態を確立している。この実装形態のアドバンテージとしては、ミラーや集光レンズを使用しないため優れた伝送特性が得られること、光電変換モジュールを埋め込むことで高い実装密度が得られることなどが挙げられる。

アドバンテストのボードデザインでは、光I/OがDUTに集積されていることを前提としているため、光電変換部がない光導波路が埋め込まれただけの光電気混載基板となる。ただし、設計コンセプトでは、光導波路には40Gbpsを通すだけの帯域が必要になる。

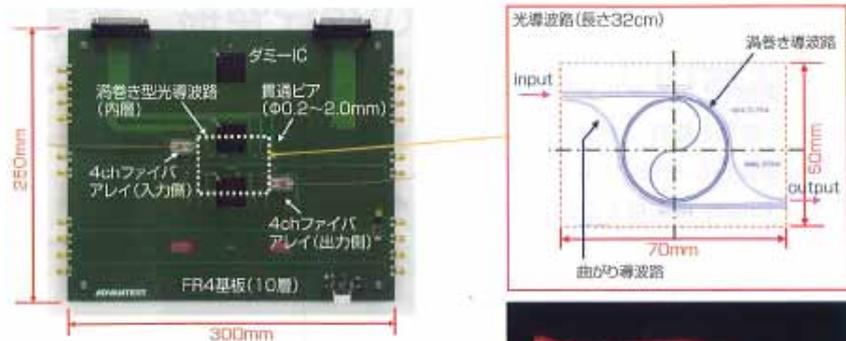


図3 高密度実装に対応した光配線基板。内部に光導波路を埋め込んだ10層FR4基板。光導波路はスパイラル状に形成されている。入出力用の4chファイバアレイは、実用段階では埋込になるもの。実装技術は開発中で、調芯不要となるような技術の開発が進められている。光配線基板の信頼性を評価するために内装の光導波路近傍に貫通ビアを形成。ボード上には、ダミーICを配置。



1mの光導波路の伝搬の様子

増田氏によると、「コアとクラッド間の比屈折率差(Δ)が大きいとモード分散の影響が大きくなる」。広帯域化するには、このモード分散を抑える必要があるため、「低 Δ の導波路構造にすることでモード分散を低減し、光導波路の広帯域化を図った。」

光導波路の組成などの詳細は明らかにされていないが、エポキシ系の材料が使用されている。エポキシ系材料を使用する理由については、「電気の実装を考えた場合、温度サイクル耐久性、信頼性を考えると、プリント基板と同じ材料系でないと剥がれることがある。こうしたことを考慮して、フッ化物系やポリマ系ではなく、通常のプリント基板で使用されているようなエポキシ系の材料を用いて光配線基板を作製した。新たに材料を開発したわけではないが、組成は若干異なっている」(増田氏)。エポキシ系材料を用いることで光導波路とFR4基板との密着強度を高めた、という説明だ。

試作された導波路は、50×50 μm のマルチモード。導波路間隔は250 μm 。光導波路の長さは、スパイラル状に巻いて、1m。300×250mmのボード内を

引き回すと、最大1mの長さが必要になるため、この長さにして伝送特性を調べた。

試作ボードの評価

試作した光配線基板は、内部に光導波路を埋め込んだ10層FR4基板。光導波路はスパイラル状に形成されており、入出力用の4chファイバアレイが突き当てられている。光配線基板の信頼性を評価するために内装の光導波路近傍に貫通ビアを形成。ボード上には、ダミーICを配置している(図3)。

この試作ボードに対して信頼性テスト、伝送特性の評価などが行われた。温度サイクル試験(125/-40 $^{\circ}\text{C}$ 、500サイクル)については、「試験前後での光導波路の伝搬損失および貫通ビア、ダミーICの電気特性を評価した。その結果、伝搬損失に変化はなく、貫通ビア、ダミーIC部の断線は確認されなかった」と報告されている⁽¹⁾。

伝送帯域は、フェムト秒ファイバレーザを使用してインパルス応答を測り評価した。パルス光は、1560nmの波長を周期分極ニオブ酸リチウム(PPLN)で780nmに変換して発生。パルス幅100

fs、ジッタ750fs rms。パルス光を導波路伝播させ、高速フォトダイオード(PD)で光電変換し、サンプリングオシロスコープで波形を観察。測定系でのパルス幅と導波路伝播後のパルス幅とを比較し、「75GHz/mを超える帯域が得られた」(図4)。この結果を基にシミュレーションを行い、40Gbps伝送が可能であるとの結果を得た(図5)。

次のステップで光部品も実装

アドバンテストは、現状の開発段階を「個々の要素技術を固めていく段階」としている。要素技術としては、光配線基板の他に、テスト信号を発生させる光変調器、光のクロックを発生させる光源技術、光部品の実装技術などがある。

光変調器や光源は、ボードに実装するためには小型であることが要件となる。テスト信号発生部となる光変調器は、VLSIのファンクションテストを行うために、最大40Gbpsの変調ができ、ジッタを加えるなど複雑な波形を発生させることができなければならない。使用できる波長帯域も通信以外の波長帯も必要とされることが想定されるため、独自開発の光変調器を使用することになる。

クロックを発生させるモードロックレーザーは時間軸の安定性、パワーの安定性、低ジッタが求められ、かつ小型でなければならない。

これら光源、光変調器などは、昨年のアドバンテスト展で紹介されているが、開発の次のステップでは、これらの光部品を組込んだボードを実現することになる。

ハイエンドコンピューティングシステムでは2010年以降に20Gbps 1000 I/Oを持つLSIが登場すると予測されており、これに備えた光インター接続の開発を進めているコンピュータメーカーも存在する⁽²⁾。しかし、この段階で

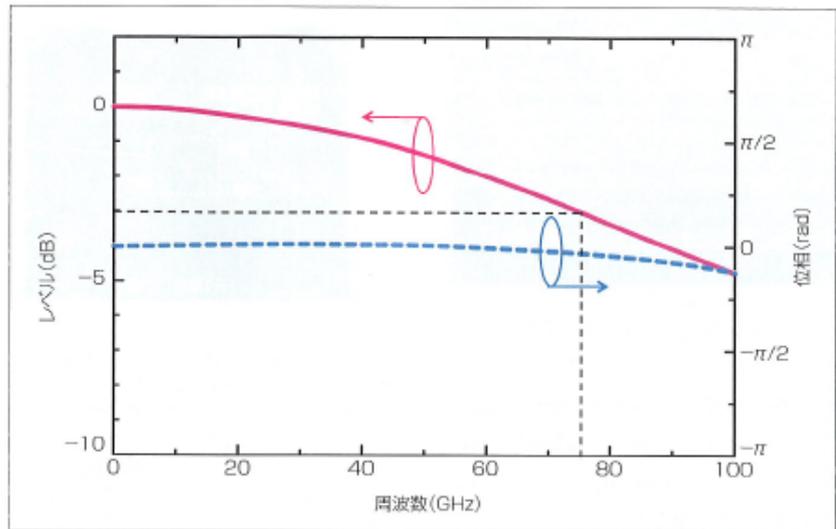


図4 光配線基板の伝送帯域特性。評価の結果、75GHz/mを超える帯域がえられたことが確認されている。

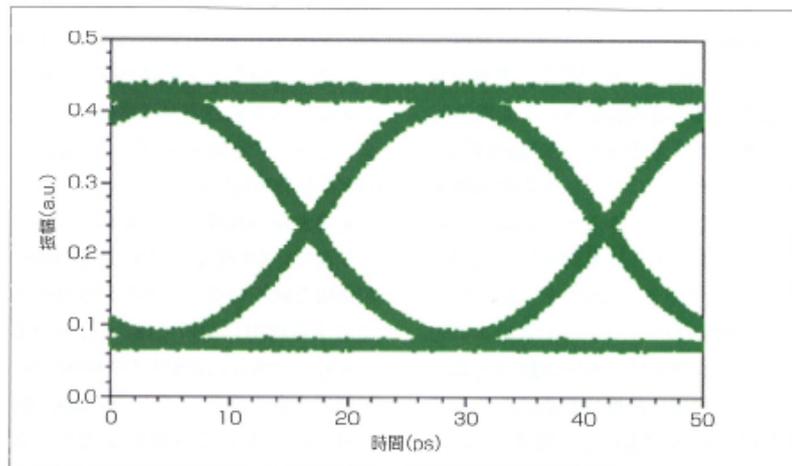


図5 光配線基板の評価結果。NRZ信号(PRBS: $2^{31}-1$)を光導波路に入力し伝送特性をシミュレーション。十分なアイ開口が得られており、40 Gbps伝送が実現可能であることが確認された。

LSI自体が光I/Oを持っているかどうかまでが予測されているわけではない。アドバンテストの開発は、光インタフェースを持つ半導体が市場に出てくるようになって初めてビジネスにつながるものだ。開発は、かなり時代に先行しているように見える。

仁木氏は、「プレスリリースでは、3年後に実用化としているが、世の中の動きを見ながら実用化することになる。

測らなければならないものが出てくることを想定して準備しておかなければならない。それより遅れることはできない」と話しており、光VLSIの時代に向けてアドバンテストは着々と準備を進めているようだ。

参考文献

- (1) 桜井孝夫 他、BS-10-3 2008年電子情報通信学会通信ソサイエティ大会
- (2) J.Sakai et al. We.2.D.5 ECOC2008